

一种可变码长码率 QC-LDPC 编译码芯片设计与实现

许仕龙, 李 斌, 张晓峰

(中国电子科技集团公司第五十四研究所, 河北 石家庄 050081)

摘 要: 提出一种可变码长码率 QC-LDPC 编解码芯片结构, 并进行了硬件实现, 包括基于循环移位矩阵向量乘法器的编码模块和基于部分并行循环迭代译码结构的译码模块. 对该 QC-LDPC 编解码器的性能评估结果表明: 采用该结构的编解码器性能优良, 实现复杂度低, 数据吞吐率高. 在此基础上, 采用 90 nm CMOS 工艺, 对 QC-LDPC 编解码器进行了逻辑综合和版图设计, 芯片版图面积为 15 mm², 功能和性能指标满足设计要求.

关键词: QC-LDPC 码; 编译码算法; 编译码结构; 集成电路

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2011)12-0099-04

Design and Implementation of a Length & Rate-Variable QC-LDPC Encoding & Decoding Chip

XU Shi-long, LI Bin, ZHANG Xiao-feng

(The 54th Research Institute of China Electronics Technology Group Corporation, Shijiazhuang 050081, China)

Abstract: According to the applications and requirements of QC-LDPC encoding & decoding chip, a structure of length & rate-variable QC-LDPC encoding & decoding chip is proposed in this paper, and the hardware is implemented. An encoder based on cyclic shift matrix vector multiplier and a decoder based on partly-parallel cyclic iterative decoder structure are included in this chip. The assessment of the chip shows that the encoding & decoding chip with this structure has excellent performance, low implementation complexity and high data throughput. On this basis, the QC-LDPC encoding & decoding chip is conducted a logic synthesis and layout design. Layout area of the chip is 15mm². Features and performance of the chip meet the design requirements.

Key words: QC-LDPC code; encoding and decoding algorithm; encoding and decoding structure; IC

1 引言

低密度奇偶校验 (Low Density Parity Check, LDPC) 码是一种基于稀疏校验矩阵的线性分组纠错码^[1], LDPC 码纠错能力高, 具有较低的迭代译码复杂度和逼近 Shannon 的容量限. 准循环 LDPC (Quasi Cyclic Low Density Parity Check, QC-LDPC) 码是一种具有循环结构的结构化 LDPC 码, 可在线性时间内采用移位寄存器完成编码, 译码可采用计数器寻址, 部分并行实现. QC-LDPC 码性能优越, 有吞吐量大, 便于硬件实现等特点, 广泛应用于无线传输信道编码中.

本文设计了一款基于循环移位矩阵向量乘法器编码结构和部分并行循环迭代译码结构的可变码长码率 QC-LDPC 编解码芯片, 可广泛应用于光纤通信、卫星通信、多媒体通信、存储设备等多种高速通信领域中.

2 QC-LDPC 编译码算法

LDPC 码是一种线性分组码, 可以用校验矩阵 H 和生成矩阵 G 描述, 同时可以用二分图来表示. 设 $a = \{a_1, a_2, \dots, a_k\}$ 为信息序列, 生成矩阵 G 为 k 个 n 维矢量 $\{g_1, g_2, \dots, g_k\}$ 构成的矩阵:

$$\mathbf{G} = \begin{bmatrix} g_1 \\ g_2 \\ \dots \\ g_k \end{bmatrix} = \begin{bmatrix} g_{1,1} & g_{1,2} & \dots & g_{1,n} \\ g_{2,1} & g_{2,2} & \dots & g_{2,n} \\ \dots & \dots & \dots & \dots \\ g_{k,1} & g_{k,2} & \dots & g_{k,n} \end{bmatrix}$$

$\mathbf{C} = \alpha \cdot \mathbf{G}$ 为 n 维编码输出, 其码长为 n , 信息位长度为 k . 校验矩阵 $\mathbf{H}$ 为 $(n-k)$ 行线性独立的 $(n-k) \times n$ 阶矩阵, 其行和 $\mathbf{G}$ 的任意行空间正交, 且与 $\mathbf{H}$ 行正交的行向量都在 $\mathbf{G}$ 的行空间中: $\mathbf{G} \cdot \mathbf{H}^T = 0$. 校验矩阵和码字有: $\mathbf{H} \cdot \mathbf{C}^T = 0^T$.

LDPC 的校验矩阵 $\mathbf{H}$ 中“1”的数目远远小于“0”的数目, 校验矩阵唯一确定线性分组码的码字空间. QC-LDPC 的校验矩阵由大小相同的稀疏循环子矩阵组成^[2]. 循环子矩阵是上一行右循环一位得到下一行的方阵, 循环子矩阵可由其第一行(列)向量完全确定. 因此 $m \times n$ 的 QC-LDPC 的校验矩阵 $\mathbf{H}_{qc}$ 可表示为

$$\mathbf{H}_{qc} = \begin{bmatrix} A_{1,1} & A_{1,2} & \dots & A_{1,n} \\ A_{2,1} & A_{2,2} & \dots & A_{2,n} \\ \dots & \dots & \dots & \dots \\ A_{m,1} & A_{m,2} & \dots & A_{m,n} \end{bmatrix}$$

式中, $A_{i,j}$ 为 $b \times b$ 大小的循环子矩阵, $m < n$.

QC-LDPC 码具有部分循环结构, 码字循环对称, 编码可以用循环移位寄存器实现, 其校验矩阵由其前 b 位决定.

QC-LDPC 译码器无需加入交织器, 减小了延时. 本设计采用归一化最小和算法, 实现简单, 性能接近于对数域 BP 译码算法, 无需估计信噪比, 硬件实现时只需要存储最小值、最小值的位置、次小值, 需要的存储资源较少^[3]. 归一化最小和算法的步骤为: (1) 似然信息初始化; (2) 校验节点的似然信息处理. 计算第 l 次迭代时第 j 个校验节点传递给第 i 个变量节点的信息; (3) 变量节点的似然信息处理. 计算第 l 次迭代第 i 个变量节点传递给第 j 个校验节点的信息; (4) 译码判决. 反复迭代直至满足校验等式或超过最大迭代次数为止.

3 QC-LDPC 编译码电路结构设计

本 QC-LDPC 编解码器可完成可变码长码率编码和解码的功能. 可变码长码率由芯片外部信号控制, 选定一种码长码率后, 信息流分成固定长度的帧, 经编码操作输出编码帧; 译码器接收一帧 LDPC 编码数据, 经译码器计算输出相应的未编码信息帧. 本编译码器为 1008、2016、4032、8064 比特码长可选, 1/2、3/4、7/8 码率可选.

3.1 编码器结构设计

由前文可知 $\mathbf{C} = \alpha \cdot \mathbf{G}_x$, 编码算法即为利用高斯消元法由 $\mathbf{G}_x \cdot \mathbf{H}_x^T = 0$ 从校验矩阵 $\mathbf{H}_x$ 构造编码生成矩阵 $\mathbf{G}_x$.

编码器结构主要包括输入接口模块、编码模块和输出接口模块, 各模块利用之间的指示位严格同步. 编码模块读取数据和输出数据的工作时钟频率是输入接口模块写时钟和输出接口模块读时钟频率的 2 倍. 编码器各主要模块功能如下所示.

(1) 输入接口模块: 输入模块包括计数器、接收控制器和四个缓冲区(码率、码长、帧号和数据). 码率、码长、帧号和数据缓冲区地址深度和数据宽度不同: 码率、码长缓冲区地址深度为 2, 数据宽度为 2; 帧号缓冲区地址深度为 2, 数据宽度为 8; 数据缓冲区地址深度为 16 384, 数据宽度为 1. 每个缓冲区都分为上下两个半区以采用“乒乓操作”模式进行工作, 使得编码接收模块接收数据和编码模块写、读数据可以同时进行.

(2) 编码模块: 编码模块完成编码操作, 核心是循环移位寄存器. 主要由移位寄存器控制模块、只读存储器模块、循环移位寄存器模块和缓存器模块构成. 其结构图为图 1 所示.

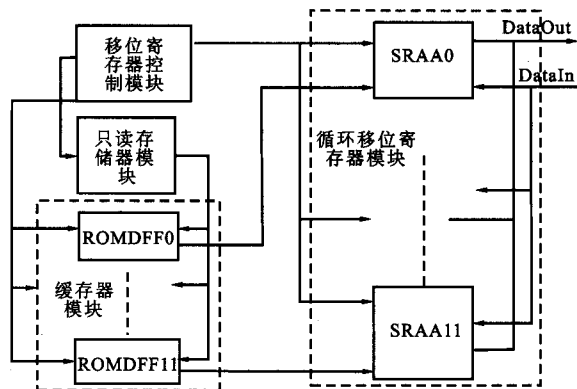


图 1 编码器结构图

只读存储器模块存储生成矩阵各子矩阵的行生成向量, 并在编码器控制位的控制下分别将相应矢量赋予 12 个缓存器模块. 缓存器模块同时将 12 个行生成矢量置入 12 个循环移位寄存器 SRAA, 开始编码.

SRAA 模块是编码器的核心, 每个都包括一个循环右移和左移移位寄存器模块, 每个时钟循环移位一次. 12 个 SRAA 电路同时进行计算, 得到 12 个校验部分, 进行整体电路的编码运算. SRAA 循环移位累加编码结构如图 2 所示.

(3) 输出接口模块: 输出接口模块同样有码率、

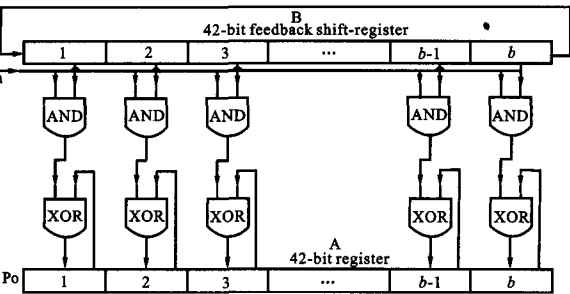


图 2 SRAA 循环移位累加编码结构

码长、帧号和数据缓冲区。编码完成后,校验位被并行输入到左移移位寄存器,然后信息位和检验位串行输出,输出接口模块同样采用乒乓操作。

3.2 译码器结构设计

本设计采用交迭的部分并行译码结构^[4-5],避免了全并行结构硬件复杂度高的缺点,同时译码速度比串行结构快^[6]。译码器包括输入接口模块、译码模块、输出接口模块。译码器输入接口模块和输出接口模块与编码器类似。

译码模块根据输入接口模块发送来的码率/码长信息,读取输入接口模块存入的信道数据,开始译码。译码模块主要由信道 Memory、变量节点处理单元 VNFU、校验节点处理单元 CNFU、R 阵(存储校验节点处理单元的输出信息)Memory、Q 阵(存储变量节点处理单元的输出信息)Memory 组成,译码器的结构框图如图 3 所示。

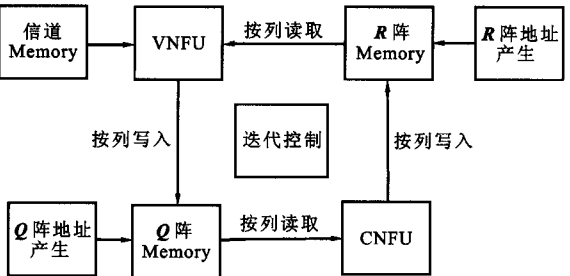


图 3 译码模块结构

VNFU 是译码器的主要模块,它从输入缓冲存储器、R 矩阵读取数据产生更新 Q 矩阵的“变量—校验信息”以及产生硬判数据,并判断是否是码字如图

4 所示。CNFU 的输出数据首先乘以值为 0.8 的修正因子,然后变换为二进制补码进行累加,完成累加后再变回符号位+幅值形式。变量节点处理单元采用 Pipeline 结构,大大减少了变量节点处理单元所需的工作时钟数目。

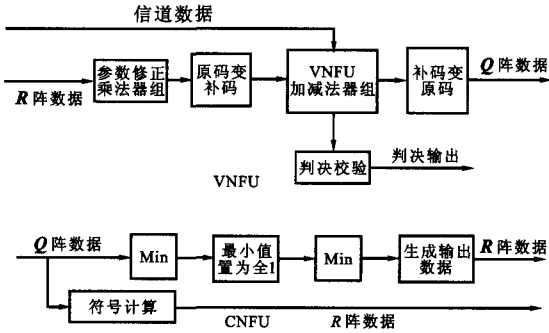


图 4 VNFU 和 CNFU 模块图

CNFU 主要产生相应“校验—变量”信息,并对每次迭代所产生的硬判决位进行奇偶校验。CNFU 由 Min、置全 1、生成输出数据、符号计算子模块构成。首先 Min 模块从 CNFU 输入的“变量—校验”信息的绝对值中找出最小的绝对值,置全 1 模块把最小绝对值所在位置上的数据置为全 1,使其为最大绝对值,然后利用下一个 Min 模块找出次小值。生成输出数据模块选择最小值或次小值输出,从而计算出由 CNFU 传递给 VNFU 数据的幅度。CNFU 也采用 Pipeline 结构。

VNFU 和 CNFU 在迭代控制状态机的控制下完成每一次迭代,在迭代过程中,对 R 阵和 Q 阵的读/写是同步的。

4 电路性能测试结果

我们采用 90 nmCMOS 工艺,完成了 QC-LDPC 通信编解码电路的设计。

在芯片测试过程中,对 QC-LDPC 编译码器添加高斯白噪声模块。测试的数据量为连续发送 100 万帧数据,在数据速率 50 Mb/s、6 比特量化、10 次迭代条件下测试结果如表 1 所示。

表 1 编解码器误码性能和吞吐率

10 次迭代	码率 1/2	码率 3/4	码率 7/8
码长 1008	5. 261905e-6@3. 8dB	6. 493386e-6@5. 8dB	2. 524943e-6@7. 7dB
	1. 521825e-6@4. 0dB	1. 039683e-6@6. 0dB	1. 451247e-6@7. 8dB
	8. 174603e-7@4. 1dB	5. 026455e-7@6. 1dB	7. 517007e-7@7. 9dB
吞吐率/MHz			
21CBC580(44. 4M)		30D0FD79(46M)	38539976(46. 7M)

续表 1

10 次迭代	码率 1/2	码率 3/4	码率 7/8
码长 2016	1. 570635e-6@3. 3dB	6. 466931e-6@5. 4dB	3. 515306e-6@7. 2dB
	4. 18254e-6@3. 5dB	1. 71627e-6@5. 5dB	1. 743764e-6@7. 3dB
	8. 938492e-7@3. 7dB	3. 293651e-7@5. 6dB	9. 404762e-7@7. 4dB
	吞吐率/MHz 3FD63C5C(47M)	吞吐率/MHz 5DE0AC51(48M)	吞吐率/MHz 6CE5E44C(48. 2M)
码长 4032	9. 162202e-6@3dB	4. 956019e-6@5. 1dB	2. 806406e-6@6. 9dB
	1. 404762e-6@3. 2dB	1. 08366e-6@5. 2dB	1. 363379e-6@7. 0dB
	5. 634921e-7@3. 3dB	7. 870370e-8@5. 3dB	8. 293651e-7@7. 1dB
	吞吐率/MHz 7BEB2A14(48. 5M)	吞吐率/MHz B8000A01(49M)	吞吐率/MHz D60A79F9(49M)
码长 8064	7. 157242e-6@2. 6dB	1. 289537e-5@4. 9dB	3. 714552e-6@6. 7dB
	2. 028274e-6@2. 7dB	2. 240118e-6@5. 0dB	5. 98689e-7@6. 8dB
	5. 699405e-7@2. 8dB	3. 479684e-8@5. 1dB	2. 433872e-7@6. 9dB
	吞吐率/MHz F4150584(49. 2M)	吞吐率/MHz 16C3EC561(49. 5M)	吞吐率/MHz 1A853A550(49. 6M)

5 结束语

本文设计了一款可变码长码率的 QC-LDPC 编译码芯片,测试结果表明:该编译码芯片具有较好的误码性能和较高的数据吞吐率,性能达到了预期的设计目标,功能和性能指标满足设计要求,可广泛应用于各类高速通信领域中。

参考文献:

[1] Gallager R G. Low density parity check codes[D]. Cambridge: Massachusetts Institute of Technology, MA,1962.

[2] Zongwang Li,Lei Chen,Lingqi Zeng,et al. Efficient Encoding of Quasi-Cyclic Low-Density Parity-Check Codes[J]. IEEE TramsCommun,2006,54(1):71-81.

[3] Anastasopoulos A. A comparison between the sum-product and the min-sum iterative detection algorithms based on density evolution[J]. IEEE Global Telecommunication Conference. 2001,1021-1025.

[4] Yijun Li,Mahmoud Elassal, Magdy Bayoumi. Power efficient architecture for (3,6)-regular low-density parity-check code decoder [J]. Circuits and Systems (ISCAS),2004(4):81-84.

[5] Yang Lei. VLSI implementation of low-error-floor multi-rate capacity-approaching low-density parity-check code decoder[D]. Dept Elec Eng, University Washington,2006.

[6] Yongyi Mao, Amir H. Banihashemi. Decoding low-density patity-check codes with probabilistic scheduling[J]. IEEE Communications Letters,2001,5(10):414-416.

作者简介:

许仕龙 男,(1978-), 硕士,工程师. 研究方向为超深亚微米集成电路设计及超大规模 SoC 设计.

李 斌 男,(1971-), 硕士,高级工程师. 研究方向为专用集成电路设计及通信系统.

张晓峰 男,(1986-), 硕士,助理工程师. 研究方向为转用集成电路设计.